

DIELECTRIC SEPARATED BIPOLAR TRANSISTOR**Publication number:** JP10200004**Publication date:** 1998-07-31**Inventor:** GRIS YVON; MOURIER JOCELYNE; TROILLARD
GERMAINE**Applicant:** SGS THOMSON MICROELECTRONICS**Classification:****- international:** **H01L21/8222; H01L21/8248; H01L21/8249; H01L27/06;
H01L21/70; H01L27/06;** (IPC1-7): H01L21/8249;
H01L21/8222; H01L27/06**- European:** H01L21/8249; H01L27/06D4T**Application number:** JP19970366609 19971226**Priority number(s):** FR19960016337 19961227**Also published as:**

EP0851488 (A1)

US5970333 (A1)

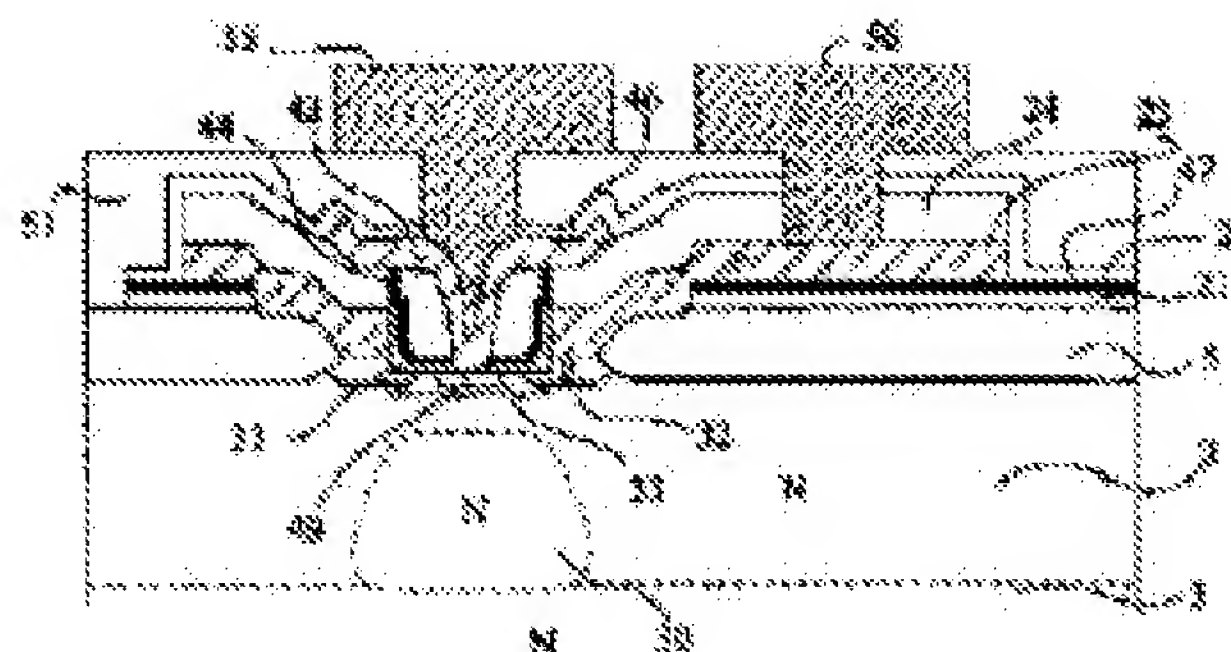
FR2758004 (A1)

EP0851488 (B1)

[Report a data error here](#)**Abstract of JP10200004**

PROBLEM TO BE SOLVED: To miniaturize a part size patterned on a mask, by allowing a base polysilicon layer and a protective oxide layer to stick for forming an emitter/ base opening, etc.

SOLUTION: A base/polysilicon layer 23 and a protective oxide layer 24 are stuck to form an emitter/base opening, then an emitter/polysilicon layer 46 is stuck. Then, the layer 46 is etched, and the base/polysilicon layer 23 and the silicon oxide protective layer 24 outside the region of bipolar transistor are etched. Then, at trench formation, during the emitter/base opening being opened, a common opening is opened at the upper part of a thick oxide region 5 of the base polysilicon layer 23 and the protective oxide layer 24. While the protective oxide layer 24 is etched, the thick oxide layer 5 is etched, and, while the base polysilicon 23 is etched, a silicon 2 below the thick oxide 5 is etched.



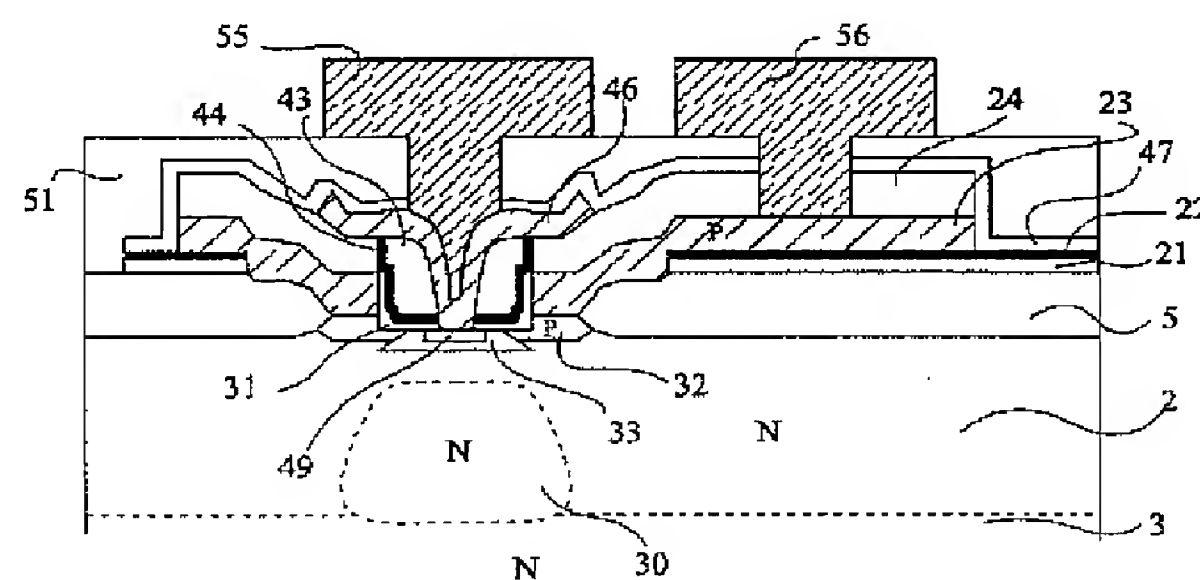
Data supplied from the **esp@cenet** database - Worldwide

(11)特許出願公開番号

(43)公開日 平成10年(1998)7月31日

審査請求 有 請求項の数 5 FD (全 10 頁)

最終頁に続く



【特許請求の範囲】

【請求項1】 B I C M O S型の集積回路中にディープ・トレンチを形成する方法において、バイポーラ・トランジスタの形成が具体的には、ベース・ポリシリコン層(23)を付着させる段階と、保護酸化物層(24)を付着させる段階と、エミッタ・ベース開口を形成する段階と、エミッタ・ポリシリコン層(46)を付着させ、この層をエッチングする段階と、バイポーラ・トランジスタの領域の外側の酸化シリコン保護層(24)およびベース・ポリシリコン層(23)をエッチングする段階を含み、トレンチの形成が、エミッターベース開口を開けている間に、保護酸化物層およびベース・ポリシリコン層の厚い酸化物領域(5)の上の部分に共通の開口を開ける段階と、保護酸化物層をエッチングしている間に、厚い酸化物層(5)をエッチングする段階と、ベース・ポリシリコンをエッチングしている間に、厚い酸化物の下シリコン(2)をエッチングする段階を含むことを特徴とする方法。

【請求項2】 トレンチを画定する小さい方のマスクが、保護酸化物層およびベース・ポリシリコン層の共通の開口に対応するマスクであることを特徴とする、請求項1に記載の方法。

【請求項3】 保護酸化物層およびベース・ポリシリコン層の共通の開口を開ける前に、表面の窒化シリコン層(144)を除去する段階を含むことを特徴とする、請求項1に記載の方法。

【請求項4】 トレンチ(150)を約1~1.5 μ mの深さまでエッチングすることを特徴とする、請求項1に記載の方法。

【請求項5】 トレンチ(150)が約0.25~0.50 μ mの幅を有することを特徴とする、請求項4に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路、具体的にはバイポーラおよび相補形MOS(CMOS)構成部分を含む集積回路の製造ラインに関する。この種のラインは通常、B I C M O Sラインと呼ばれる。

【0002】

【発明が解決しようとする課題】本発明の目的は、マスク上にパターンニングされた部品の寸法を0.4 μ m未満、例えば0.2~0.35 μ mとすることのできる前記ラインを提供することにある。

【0003】本発明の他の目的は、誘電体を充填したトレンチによって一次構成部分を互いに分離することができる前記ラインを提供することにある。

【0004】

【課題を解決するための手段】前記およびその他の目的を達成するため、本発明は、B I C M O S型の集積回路中にディープ・トレンチを形成する方法を提供する。この方法は、バイポーラ・トランジスタの形成が、ベース・ポリシリコン層を付着させる段階と、保護酸化物層を付着させる段階と、エミッタ・ポリシリコン層を付着させ、この層をエッチングする段階と、バイポーラ・トランジスタの領域の外側の酸化シリコン保護層およびベース・ポリシリコン層をエッチングする段階を含む。トレンチの形成では、この方法は、エミッターベース開口を開けている間に、保護酸化物層およびベース・ポリシリコン層の厚い酸化物領域の上の部分に共通の開口を開ける段階と、保護酸化物層をエッチングしている間に、厚い酸化物層をエッチングする段階と、ベース・ポリシリコンをエッチングしている間に、厚い酸化物の下シリコンをエッチングする段階を含む。

【0005】本発明の一実施形態に従って、トレンチを画定する小さい方のマスクは、保護酸化物層およびベース・ポリシリコン層の共通の開口に対応するマスクである。

【0006】本発明の一実施形態に従って、この方法は、保護酸化物層およびベース・ポリシリコン層の共通の開口を開ける前に、表面の窒化シリコン層を除去する段階を含む。

【0007】本発明の一実施形態に従って、トレンチは、約1~1.5 μ mの深さを有する。

【0008】本発明の一実施形態に従って、トレンチは、約0.25~0.50 μ mの幅を有する。

【0009】本発明の前記の目的、特徴および利点は、添付の図面に関連した、具体的な実施形態の以下の非限定的な説明において詳細に論ずる。

【0010】

【発明の実施の形態】半導体構成部分の表示の通例どおり、いくつかある断面図は縮尺どおりには描かれていない。いくつかの層および領域の横方向および断面方向の寸法は図示を容易にするため任意に拡大または縮小されている。

【0011】以下の説明では一般に、図1ないし図11の左側の、CMOS構成部分が形成される部分をMOS側と称し、NPN型バイポーラ・トランジスタが形成される図の右側の部分をバイポーラ側と称する。以下に、NチャネルMOSトランジスタ、PチャネルMOSトランジスタ、およびNPN型バイポーラ・トランジスタの製造について説明する。当然のことながら実際の実施においては、多くの同一の構成部分を同時に形成する。他の種類の一次構成部分も同時に形成する場合もある。

【0012】本発明の一態様に基づく初期の段階は、寸法が非常に小さい(最小寸法、すなわちゲート寸法が0.35 μ m未満)CMOS集積回路の周知の製造段階に相当する。

【0013】図1に示すように、P型基板1を基にし、この上にN型エピタキシャル層2を形成する。このエピタキシャル層は比較的薄く、例えば約 $1 \sim 1.2 \mu\text{m}$ の厚さである。

【0014】エピタキシャル層を成長させる前に、CMOSトランジスタのNウェルまたはPウェルを形成する領域に該当する型の埋込み層を所望であれば形成し、バイポーラ側に N^+ 型埋込み層3を形成する。

【0015】図2に示すようにMOS側に、周知の技術で形成した厚い酸化物層5の開口によってMOSトランジスタ領域を画定する。N型ウェル8およびP型ウェル9を、厚い酸化物領域または、開口内に形成した薄い酸化物領域6を通し従来の方法で注入する。これらのウェルは例えば、うち1回が厚い酸化物5を通しマスクをしていない領域に達する3回の連続注入によって形成する。これらのNチャネルおよびPチャネルはそれぞれ、PチャネルMOSトランジスタおよびNチャネルMOSトランジスタに使用される。表面のドーピング濃度（約 10^{16} 原子/ cm^3 ）がトランジスタのしきい電圧を決定する。一般的なケースでは、Pウェルは（ P^+ 型埋込み層と結びついて）P基板と電氣的に接触する。しかし、少なくともPウェルのいくつかをN型埋込み層上に形成することもできる。NウェルはP基板中に形成され、Pウェルのように形成されたP領域によって横方向が分離されているため、完全に分離されている。

【0016】同時に、コレクタ接触回復ドライブイン、すなわち埋込み層3に結合したコレクタ・ウェル10が形成される領域を、バイポーラ側の厚い酸化物5内に画定する。このコレクタ・ウェルは、N型ウェル8を形成するために実施する注入の少なくともいくつか、または単独の N^+ 型注入によって形成する。このコレクタ・ウェルはまた、次に実施する、NチャネルMOSトランジスタのソースおよびドレインの形成と同時に形成することもできる。NPN型バイポーラ・トランジスタのベースおよびエミッタを形成する領域11もこの厚い酸化物内に画定する。何回かにわたるNウェルおよびPウェルの注入の際にはこの領域11をマスクする。

【0017】図3に示すとおり、MOS側に、MOSトランジスタの分離ゲート13および14を従来の方法で形成し、第1の注入（LDD）を実施し、スペーサ15および16を形成し、ドレインおよびソースの注入を実施する。これらの注入は、ウェル8ではP型であり、ウェル9ではN型である。Nチャネル・トランジスタのソースおよびドレインのPウェルへの注入の際に、コレクタ・ウェル10の表面に、次の結合を向上させるための重くドーブしたN型拡散18を実施する。

【0018】次いで、高速熱アニール（ 1025°C ）を実施する。

【0019】この段階の終わりには、（結合シリサイド化（linkup silicidation）の可能性と金属被覆を除い

て）MOSトランジスタはほとんど完成している。この段階の後、NPN型バイポーラ・トランジスタの実施を開始する。

【0020】図4に示す段階では、厚さが例えば約 20 nm の酸化シリコン層21、およびこれに続く厚さが例えば約 30 nm の窒化シリコン層22を含む二重保護層をCVDによって構造全体の上に付着させる。この層21-22の、バイポーラ・トランジスタのエミッターベース領域を形成しようとする所望の領域11のところに開口を開ける。この開口は、厚い酸化物領域上で止まっているため、決定的なものではないことに留意されたい。

【0021】図5に示す段階では、厚さが例えば約 200 nm のシリコン層23、続いて厚さが例えば、約 300 nm の封入酸化物層24を構造全体の上に付着させる。

【0022】シリコン層23は後述するように、NPNトランジスタの外来性ベースのドーピング源として使用され、ベース・ポリシリコンと呼ばれるものであるため、P型にドーブされていなければならない。ポリシリコンとは呼ばれるが、アモルファス・シリコンなどの付着させたシリコン層であればどんな種類でもよい。本発明の態様にしたが、ポリシリコンまたはドーブされていないアモルファス・シリコンの層23をまず付着させ、その後この層にP型ドーピングを注入により実施することが好ましい。ホウ素は、 BF_3 の形態で、非常に高いドーズ量（ $10^{15} \sim 10^{16}$ 原子/ cm^2 ）、低いエネルギーで注入し、注入されたホウ素がこの層の上部に集中し、領域11の下のシリコン基板にホウ素が注入されないようにするのが好ましい。

【0023】図6に示す段階では、領域11の中央部分の層24および23に開口を開ける。この開口は、幅が $0.4 \mu\text{m}$ と $0.8 \mu\text{m}$ の間で、単結晶シリコン中に 50 nm 未満の深さに達するものとする。次いで、N型ドーパントを注入し、NPNトランジスタのコレクタ30を画定する。したがってこのコレクタは開口に対して自己整合している。このN型注入は、中程度のドーズ量、高いエネルギー（例えば、 $10^{12} \sim 10^{14}$ 原子/ cm^2 、 500 keV ）で実施する。こうして、横方向の広がり制限が後に形成する真性ベースと実質的に等しいコレクタ有効領域が得られる。これは、コレクタと外来性ベースの間の漂遊容量が小さいNPNトランジスタを得るのに役立つ。コレクタのプロファイルが、一つには、コレクタの抵抗とコレクタの通過時間の、他方では、エミッターコレクタ間の降伏電圧およびベースコレクタ間の降伏電圧（一般に4ボルト）を十分高くすることと、ベースコレクタ間の容量を小さくすることとの最も良い可能な妥協点を与えるように、この注入を最適化する（例えば連続注入などによる）。このコレクタの注入が、CMOSトランジスタを最適化し、次いでこ

れとは別にNPNトランジスタの特性を最適化するのに適したドーピング濃度および厚さを有するエピタキシャル層2をあらかじめ選択することを可能とすることに留意されたい。特に、このエピタキシャル層を、NPNトランジスタのコレクタ層として直接使用しなければならない場合に比べて、この層の厚さを厚くすることができる。

【0024】図7に示すように、レジスト・マスク除去後、熱酸化が実施され、この間に厚さが5~10nmの桁の熱酸化物層31が形成され、ポリシリコン層23に含まれるホウ素が下のエピタキシャル層に拡散し始め、接合深さが約100nmのエキストリンシック・ベース領域32を形成する。この拡散は次いで、バイポーラ構造の最後のアニールで完了する。次いで、酸化物31を通してP型注入を実施し、層23および24の開口の中央に真性ベース領域33を形成させる。この真性ベースは、低エネルギーのホウ素（例えば、 10^{13} 原子/cm²、5keV）で注入を実施することが好ましい。ポリシリコン23との接触は、このポリシリコンのホウ素を横方向に拡散させることによって実施する。

【0025】次いで、薄い窒化シリコン層（30nm）を均一に付着させ、ポリシリコン層（100nm）でおおう。次いで、ポリシリコン層を異方的にエッチングし、層23および24に掘られた開口の側面にスペーサ43のみを残すようにする。次に、窒化シリコンを均一にエッチングし、ポリシリコン・スペーサ43によってエッチング（化学的エッチングまたはプラズマ・エッチング）から保護されている領域44の所定の場所だけ残す。こうして、真性ベースを画定するために層23および24に当初形成された開口よりも小さな開口が窒化物44およびスペーサ43によって画定される。このさらに小さな開口はエミッタの開口である。スペーサがそれぞれ150nmの幅を有すると、この小開口の幅は約0.5μmになる。

【0026】図8に示す段階では、エミッタ注入（ホウ素）の間の保護層および窒化シリコン層のエッチング止めとして使用した開口の底の、薄い酸化物層31を、例えば希フッ化水素酸浴中で徹底的に清浄化する。重くドーブしたN型ポリシリコン層を付着させ、次いでエッチングして、領域46を所定の位置に残す。ドーブされたポリシリコン層領域46を選択した場所に維持して、例えば、このポリシリコン領域46とベース・ポリシリコン領域23の間にキャパシタを形成することができる。

【0027】図9に示す段階では、バイポーラ・トランジスタのエミッターベース領域、およびベース・ポリシリコン層23の部分を使用するデバイス（レジスタ、キャパシタ等）を含む領域が他にあれば、その領域を除く部分から酸化物層24およびベース・ポリシリコン層23を除去する。次いで、封入酸化シリコン層47を付着させる。

【0028】次いで、トランジスタのベース領域の中央のポリシリコン層46に含まれたドーパントの浸透アニールを実施して、N型エミッタ49を形成する。バイポーラ・トランジスタに関連したアニールは、ドーピングの電氣的再活性化を確実にし、接合深さを約60nmにする。このアニールは、高速熱アニール型および／または炉アニールである。熱処理条件（30秒、1000℃）は、MOSトランジスタに対するものより軽いので、MOSトランジスタに影響を与えることはない。

【0029】図10に示す段階では、例えば、PチャネルMOSトランジスタやバイポーラ・トランジスタのコレクタ・ウェルなどのケイ化しようとする活性領域および／またはポリシリコン領域の上の封入酸化シリコン層47、窒化シリコン層22、保護酸化シリコン層21を除去する。金属ケイ化物50を、露出したポリシリコンおよび単結晶シリコン領域上に選択的に形成する。

【0030】図11に示す段階では、平坦化分離層51を、周知の方法、例えばホウ素およびリンをドーブしたガラス（BPSG）を付着させるなどの方法で付着させ、アニールする。続いて、この層およびこの下に層があればその層の、接点を形成しようとする場所に開口を開ける。いくつかの接点しか図示しなかったのは、周知のとおり、接点は有効領域の直上にとる必要は必ずしもなく、これらの有効領域から延びる導電性領域の横方向の延長部分に実施することもできるからである。よって図11では、PチャネルMOSトランジスタのドレイン接点53、バイポーラ・トランジスタのコレクタ接点54、エミッタ接点55、ベース接点56のみを示した。

【0031】図12は、図11のバイポーラ側に対応し、バイポーラ・トランジスタのエミッターベース領域を拡大して示したものである。

【0032】桁の大きさの例を与えるため示すが、具体的な実施形態では、以下の数値データを有する構造の実施態様を選択することができる（eは厚さ、Csは表面濃度または均質な層の平均濃度を表す。）

基板1：Cs = 10^{15} 原子/cm³

エピ層2：Cs = 10^{16} 原子/cm³、e = 0.8~1.4μm

埋込み層3：Cs = 10^{20} 原子/cm³

酸化物5：e = 0.5μm

N型またはP型ソースおよびドレイン：Cs = 10^{20} 原子/cm³、e = 0.15μm

【0033】前述の製造方法は、高精細CMOSトランジスタの既存の製造ラインと完全な互換性があり、同時に、コレクタ領域、真性ベース領域、エミッタ領域が自己整合性であるバイポーラ・トランジスタの実施を可能とする。

【0034】このバイポーラ・トランジスタは多くの利点を有する。その性能は、CMOSトランジスタの存在に影響されない。具体的には、これを無線周波数で使用

することができる(遮断周波数40GHz超)。このバイポーラ・トランジスタは、相互コンダクタンスが非常に高く、低雑音であるため、アナログ用途に向く。具体的には、ベース接点(P⁺ポリシリコン中にある)が、ベースの抵抗を有利に大幅に低減し、RF雑音指数を有利に向上させる。よって、このバイポーラ・トランジスタをある種のガリウムヒ素トランジスタの代わりに使用して、低コスト化することができ、高性能CMOS回路と同じチップ上に結合できる可能性がある。

【0035】集積回路のいくつかの一次構成部分の分離を最適にするためには、集積回路のエピタキシャル層全体を貫通し、誘電体を充填したトレンチによってこれらの構成部分を分離するのが望ましいことが一般に知られている。これは、一方で、非常に高い周波数で動作するトランジスタ、他方で、高周波トランジスタが放出する寄生キャリアの影響を受けやすいアナログ回路を含むBICMOS型の回路に特に有効である。例えば、移動電話システムなど、異なった機能が入り混じったものにはこのような回路がよく見られる。しかし実際には、このトレンチ分離は実施が極めて難しいため、普通は断念され、寄生が生じやすい構成部分は別々のチップに実施される。

【0036】本発明は、以前に説明したBICMOS集積回路の製造方法と互換性のあるトレンチ分離の実施形態を提供する。具体的には、以前に説明した段階に一切段階を追加しないこの方法によってトレンチを作ることができることを示す。さらに、この方法は、以前に説明したマスクとの自己整合によって、トレンチの位置を極めて正確に定めることができる。

【0037】この方法の最初の段階は、図1ないし図3に関して以前に説明した段階、すなわち、MOSトランジスタが事実上完成した製造段階からスタートする。

【0038】図13は、以前に説明した図4に対応する。酸化シリコンおよび窒化シリコンの二重層21、22の、バイポーラ・トランジスタのエミッターベース位置に開口を開けるのに加えて、この二重層の、厚い酸化物領域5の上の位置101に開口を開ける。

【0039】図14の段階は、図5の段階、すなわち厚さが例えば200nmのベース・ポリシリコン層23、および厚さが例えば300nmの酸化シリコン層24を連続して付着させる段階に対応する。

【0040】図6に対応する図15に示す段階では、層23、24のエミッターベース領域の上の部分に開口を開けるだけでなく、開口101の上にも、図13の段階で形成した開口101よりも図15の段階で形成する開口103が小さくなるように開口を開ける。本発明の少なくとも一実施形態では、この開口103が、形成すべきトレンチの位置と幅を決定することがわかるであろう。したがってこの位置は、集積回路の他の構成部分の位置に対して高い精度で画定される。層23および24

のエッチングは、以前に説明した方法の真に重要な段階であり、対応するマスクは高い精度で画定され、配置される。

【0041】図16に示す段階は、以前に図7に示した段階に対応する。この段階では、ポリシリコン層23の側面上の熱酸化物層131、および窒化物層144の一部を囲むポリシリコン・スペーサ143を開口101内に形成する。

【0042】図8の段階で連続して実施する、エミッタの開口の底の熱酸化物31をエッチングする段階、エミッタ・ポリシリコン層46を付着させる段階、有効領域以外のエミッタ・ポリシリコンをマスクングおよびエッチングによって除去する段階については既に説明した。

【0043】同じ操作を、図17に示すように領域103で繰り返す。ただし領域103では、シリコン46、および同時にポリシリコン・スペーサ143を完全にエッチングすることが好ましい。

【0044】図9に関連して説明した段階では、保護酸化物層24およびベース・ポリシリコン層23のエッチングは、有効領域の外側について実施した。本発明にしたがって図18に示すように、この操作のマスクとして使用するレジスト層中に開口103に対応する開口105を開ける。

【0045】開口105を、形成すべきトレンチの寸法を画定する開口103よりわずかに小さくすることができる。

【0046】しかし、本発明の好ましい実施例にしたがって、図18に示すように、形成すべきトレンチの寸法を画定する開口103より開口105を大きくする。

【0047】図19に結果を示す段階では、窒化シリコンの等方性プラズマ・エッチングを実施して、窒化物144を除去する。次いで、保護層24を異方性エッチングしている間に、開口103の下の厚い酸化物層5をエッチングする。

【0048】図20に結果を示す段階では、ポリシリコン層23をエッチングしている間に、シリコン基板上に形成されたエピタキシャル層2を、シリコン基板1とエピタキシャル層2の界面に達するまでエッチングする。このようにして、深さ約1~1.5 μ m、幅0.25~0.5 μ mまたはそれ以上の分離ディープ・トレンチ150を実施する。寸法は、所望の結果に基づいて選択する。例えばトレンチを、埋込み層3の底面より深く延ばしてもよい。

【0049】保護酸化物層24のおよびポリシリコン層23の前述の異方性エッチングは、特別な障害もなく実施することができることに留意されたい。酸化シリコンとシリコンまたはポリシリコンのエッチング選択性を確実に良好とするプラズマ・エッチング法は当業者に周知である。したがって、酸化物層23のエッチングを延長して、厚い酸化物層5の層厚全体をエッチングするのは

容易である。この厚い酸化物層の厚さは約 $0.5\mu\text{m}$ であり、一方、酸化物層23の厚さは約 $0.3\mu\text{m}$ であることを思い起こされたい。トレンチを形成する領域の外側には窒化シリコン層上に、ポリシリコン層23のエッチングに対する明確なエッチング止めがあるので、同様に、厚さが約 $0.2\mu\text{m}$ のポリシリコン層23をエッチングすると同時に、約 $1\mu\text{m}$ （またはそれ以上）の厚さのエピタキシャル層を簡単にエッチングすることができる。

【0050】保護酸化シリコン層47を従来の方法で付着させる際に、図21に示すように、形成したディープ・トレンチ150に酸化物を充填することができる。

【0051】図21に示す段階の後、図10ないし図12に関連して以前に説明した段階を一切の変更なしで実施し、方法を継続する。

【0052】このようにして、以前に説明した集積回路の形成に必要な段階に関して、製造段階を一切追加することなく、集積回路のエピタキシャル層中にディープ・トレンチを形成した。数少ない修正には、マスクの形状の変更および、窒化シリコンの等方性エッチング段階の修正の可能性が含まれる。

【0053】本発明に基づくラインを使用することによって、他の構成部分を得ることができ、このラインが多くの変更、修正、改良を有することができることに当業者は気が付くであろう。具体的には、指摘したいいくつかの値は例示としてのみ上げたものであり、指摘した各材料は例示のためであり、同じ機能（例えば、他の材料に対するエッチング選択性）を実行する他の材料で置き換えることができるものである。さらに、各種一次構成部分は、正または負の導電性を有する埋込み層の有無に関わらず実施できるものである。

【0054】このような変更、修正、改良は、この開示の一部をなすものであり、本発明の趣旨および範囲に含まれるものである。よって以上の説明は単に例示的なものであり、限定的なものではない。本発明は、特許請求の範囲およびその等価物に定義されたもののみに限定されるものである。

【図面の簡単な説明】

【図1】NチャネルMOSトランジスタ、PチャネルMOSトランジスタ、NPN型バイポーラ・トランジスタの実施形態の製造段階を連続的に示す簡略断面図である。

【図2】NチャネルMOSトランジスタ、PチャネルMOSトランジスタ、NPN型バイポーラ・トランジスタの実施形態の製造段階を連続的に示す簡略断面図である。

【図3】NチャネルMOSトランジスタ、PチャネルMOSトランジスタ、NPN型バイポーラ・トランジスタの実施形態の製造段階を連続的に示す簡略断面図である。

【図4】NチャネルMOSトランジスタ、PチャネルMOSトランジスタ、NPN型バイポーラ・トランジスタの実施形態の製造段階を連続的に示す簡略断面図である。

【図5】NチャネルMOSトランジスタ、PチャネルMOSトランジスタ、NPN型バイポーラ・トランジスタの実施形態の製造段階を連続的に示す簡略断面図である。

【図6】NチャネルMOSトランジスタ、PチャネルMOSトランジスタ、NPN型バイポーラ・トランジスタの実施形態の製造段階を連続的に示す簡略断面図である。

【図7】NチャネルMOSトランジスタ、PチャネルMOSトランジスタ、NPN型バイポーラ・トランジスタの実施形態の製造段階を連続的に示す簡略断面図である。

【図8】NチャネルMOSトランジスタ、PチャネルMOSトランジスタ、NPN型バイポーラ・トランジスタの実施形態の製造段階を連続的に示す簡略断面図である。

【図9】NチャネルMOSトランジスタ、PチャネルMOSトランジスタ、NPN型バイポーラ・トランジスタの実施形態の製造段階を連続的に示す簡略断面図である。

【図10】NチャネルMOSトランジスタ、PチャネルMOSトランジスタ、NPN型バイポーラ・トランジスタの実施形態の製造段階を連続的に示す簡略断面図である。

【図11】NチャネルMOSトランジスタ、PチャネルMOSトランジスタ、NPN型バイポーラ・トランジスタの実施形態の製造段階を連続的に示す簡略断面図である。

【図12】図1ないし図11に示す方法で得られるNPN型バイポーラ・トランジスタの拡大図である。

【図13】本発明に基づくキャパシタの製造段階を示す図である。

【図14】本発明に基づくキャパシタの製造段階を示す図である。

【図15】本発明に基づくキャパシタの製造段階を示す図である。

【図16】本発明に基づくキャパシタの製造段階を示す図である。

【図17】本発明に基づくキャパシタの製造段階を示す図である。

【図18】本発明に基づくキャパシタの製造段階を示す図である。

【図19】本発明に基づくキャパシタの製造段階を示す図である。

【図20】本発明に基づくキャパシタの製造段階を示す図である。

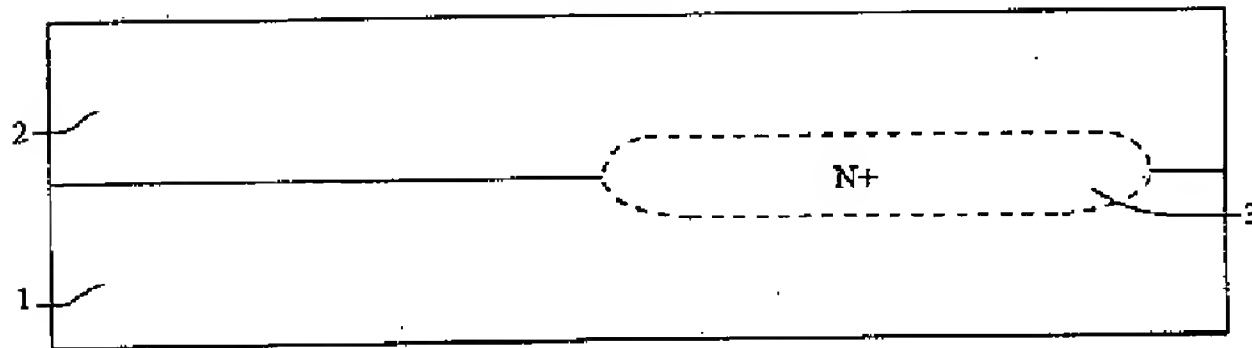
【図21】本発明に基づくキャパシタの製造段階を示す図である。

【符号の説明】

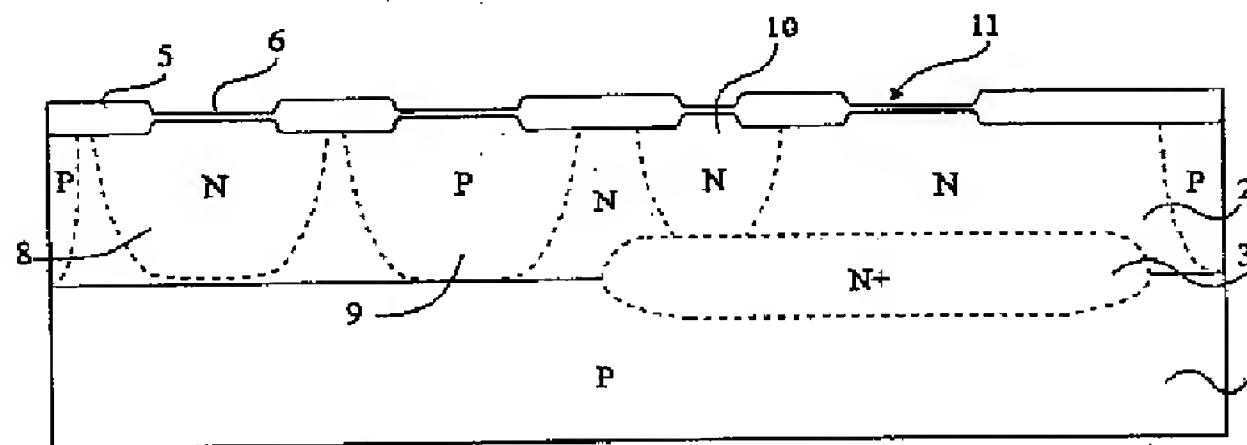
- 1 P型基板
2 N型エピタキシャル層
3 N⁺型埋込み層
5 厚い酸化物層
8 N型ウェル
9 P型ウェル
6 薄い酸化物領域
10 コレクタ・ウェル
11 NPN型トランジスタのベースおよびエミッタを形成する領域
13 MOSトランジスタのゲート
14 MOSトランジスタのゲート
15 スペーサ
16 スペーサ
18 重くドーピングしたN型拡散
21 酸化シリコン層
22 窒化シリコン層

- 23 シリコン層
24 封入酸化物層
30 コレクタ
31 熱酸化物層
32 外来性ベース領域
33 真性ベース領域
43 スペーサ
44 窒化シリコン層
46 重くドーピングしたポリシリコン層
47 封入酸化シリコン層
50 金属ケイ化物
51 平坦化分離層
53 ドレイン接点
54 コレクタ接点
55 エミッタ接点
56 ベース接点
101 開口
143 ポリシリコン・スペーサ
131 熱酸化物層
144 窒化シリコン層

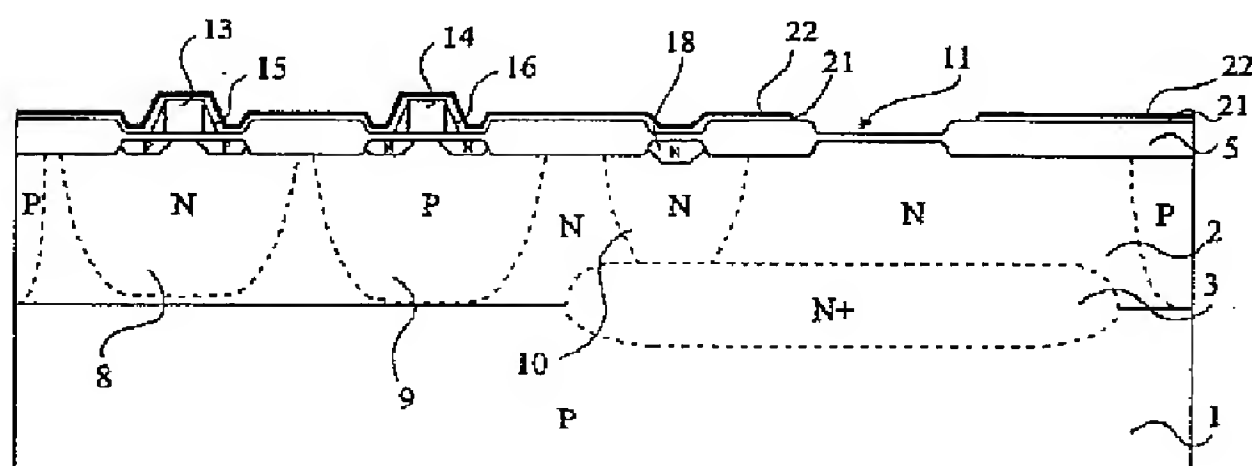
【図1】



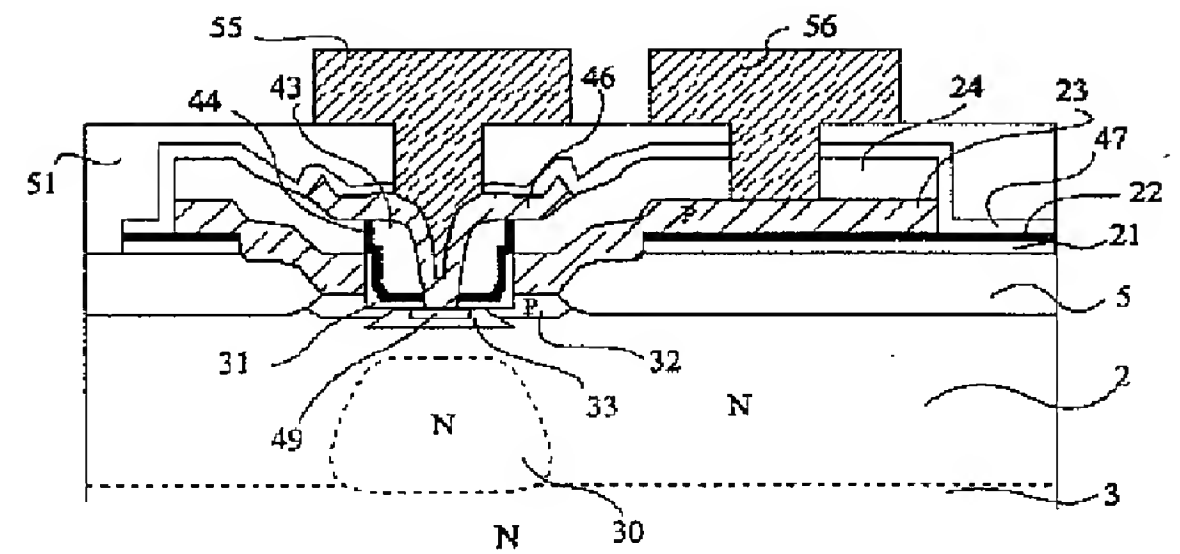
【図2】



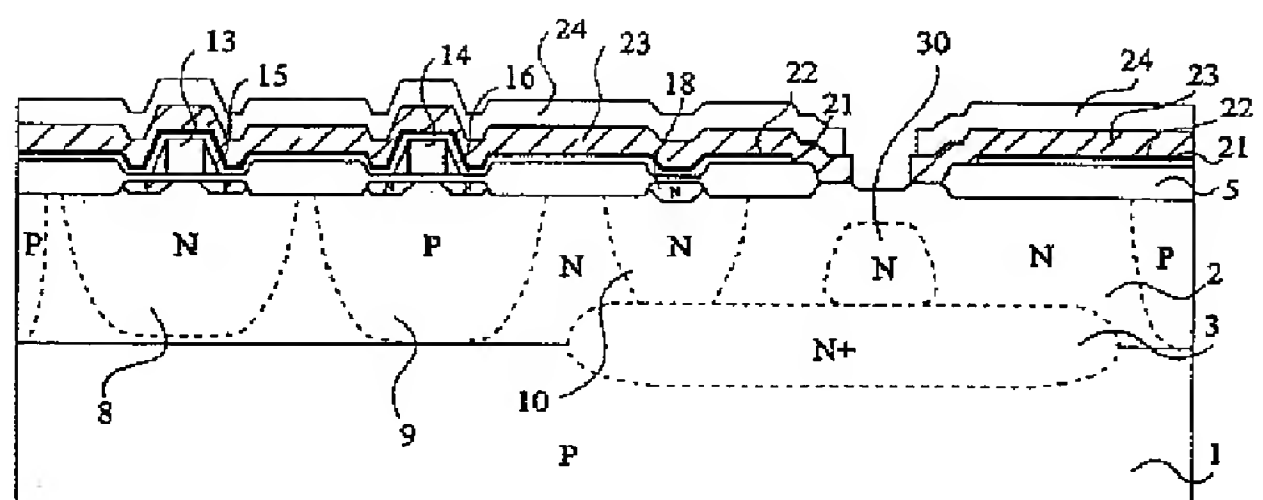
【図4】



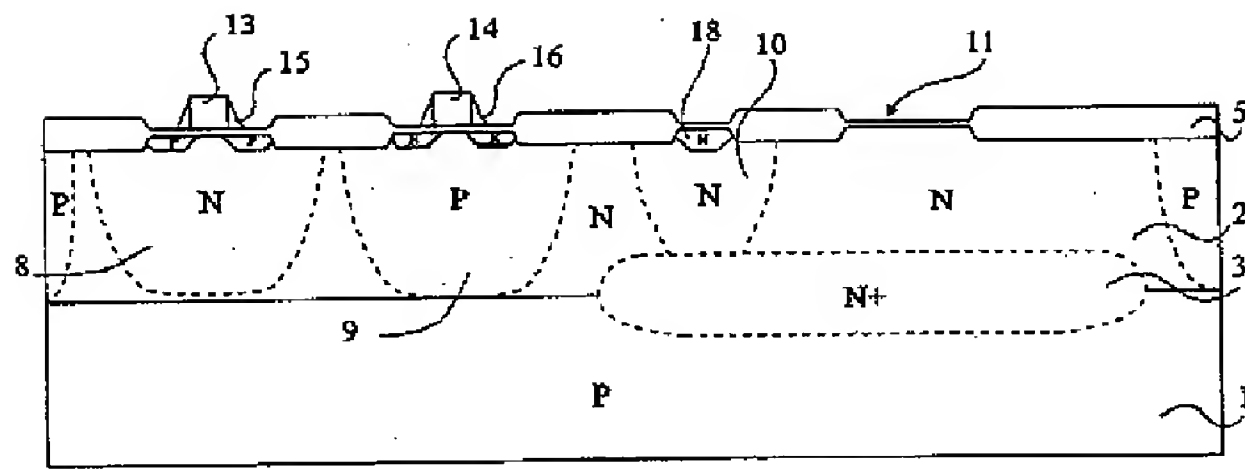
【図12】



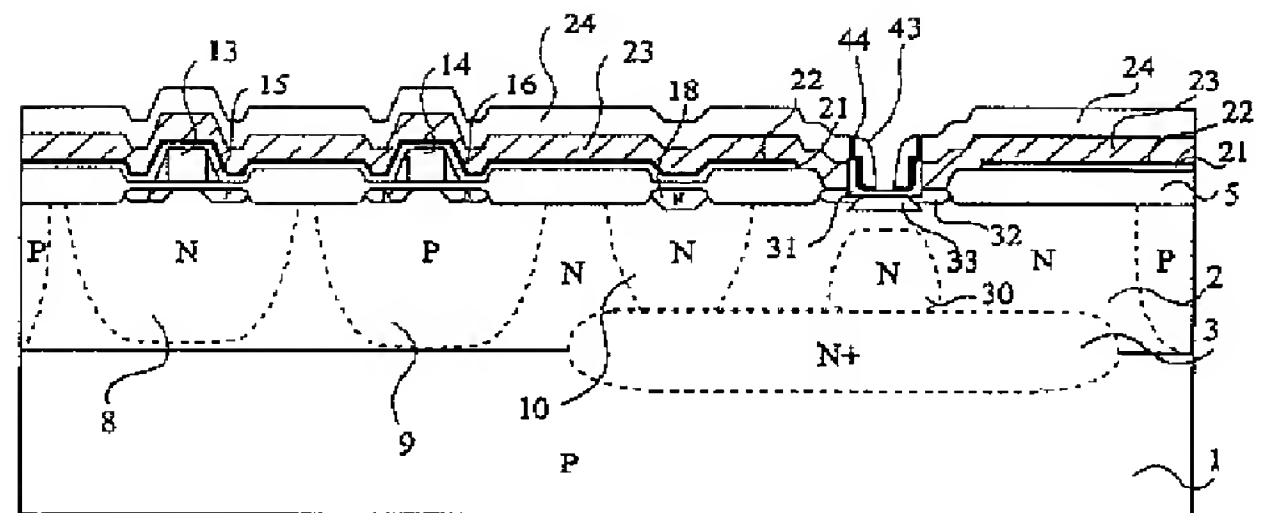
【図6】



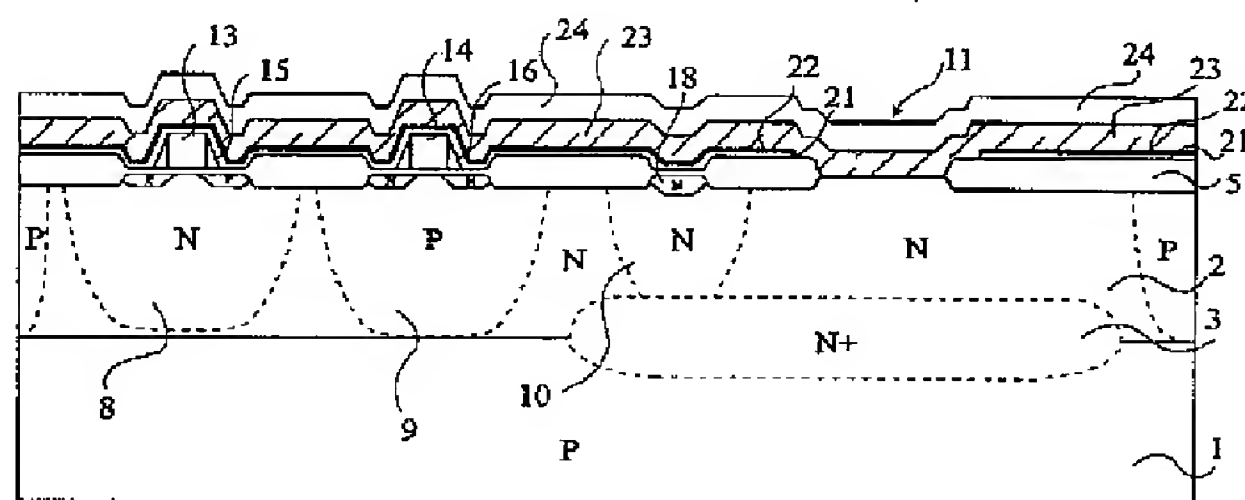
【図3】



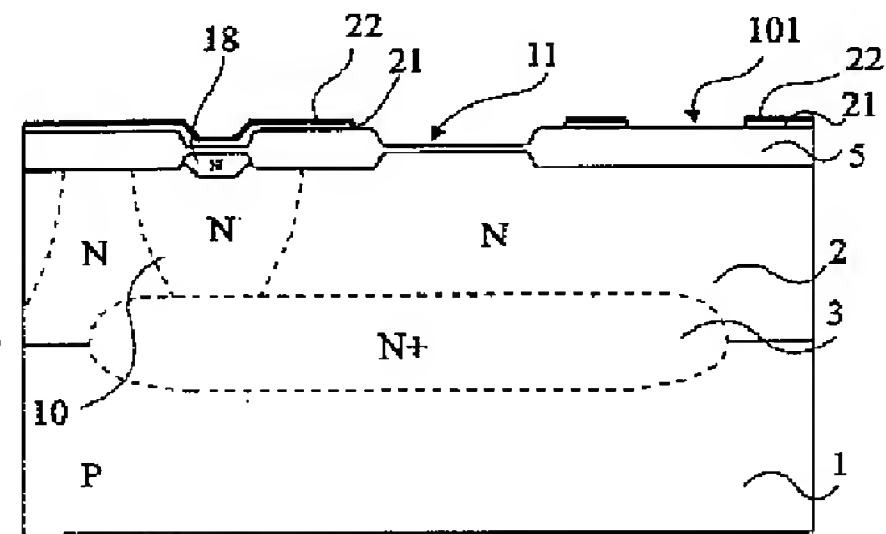
【図7】



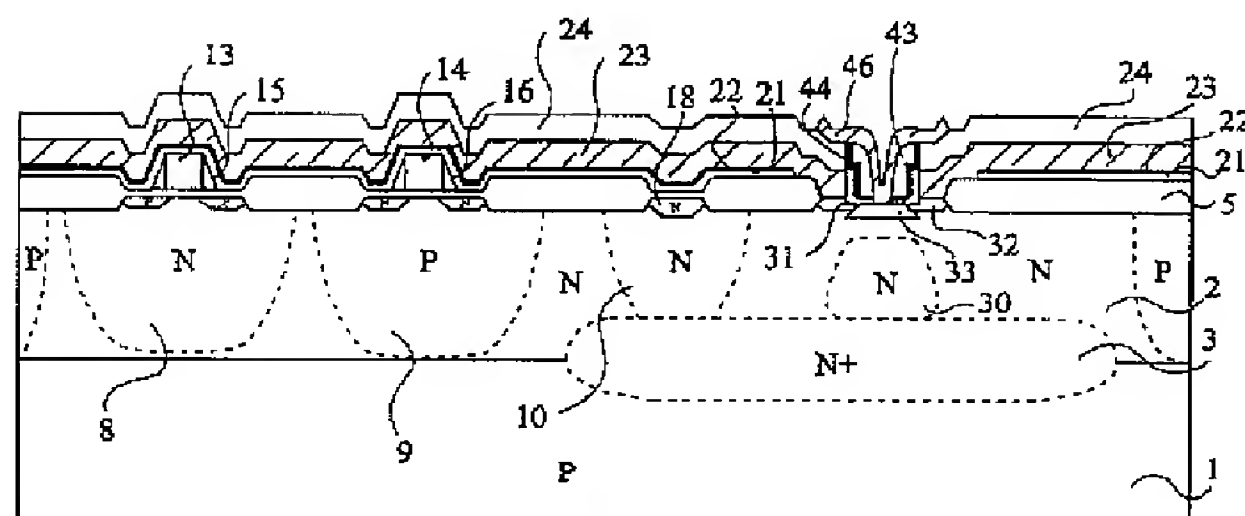
【図5】



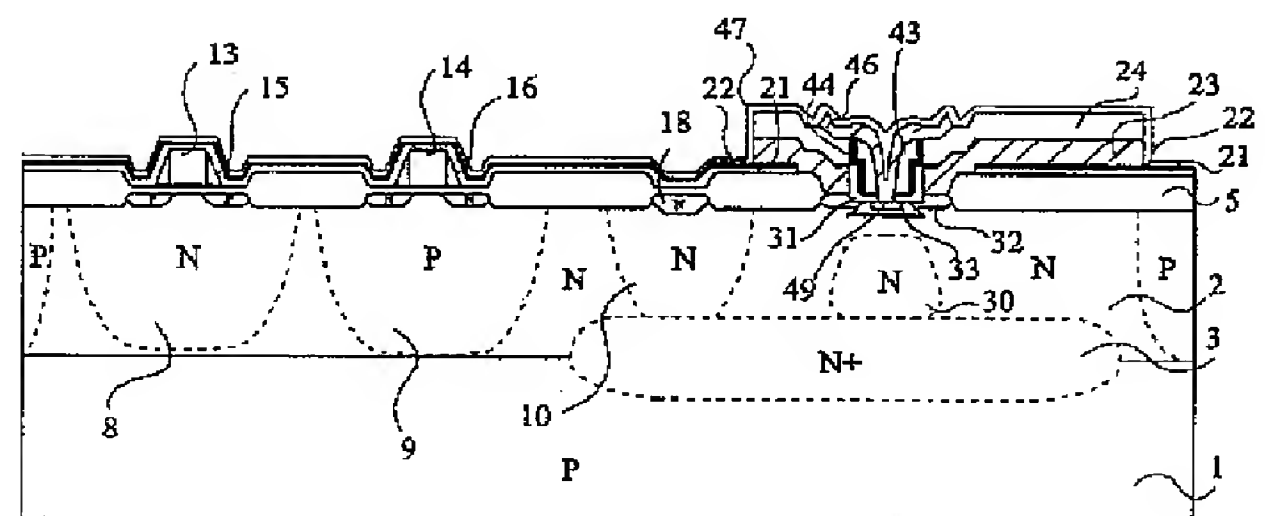
【図13】



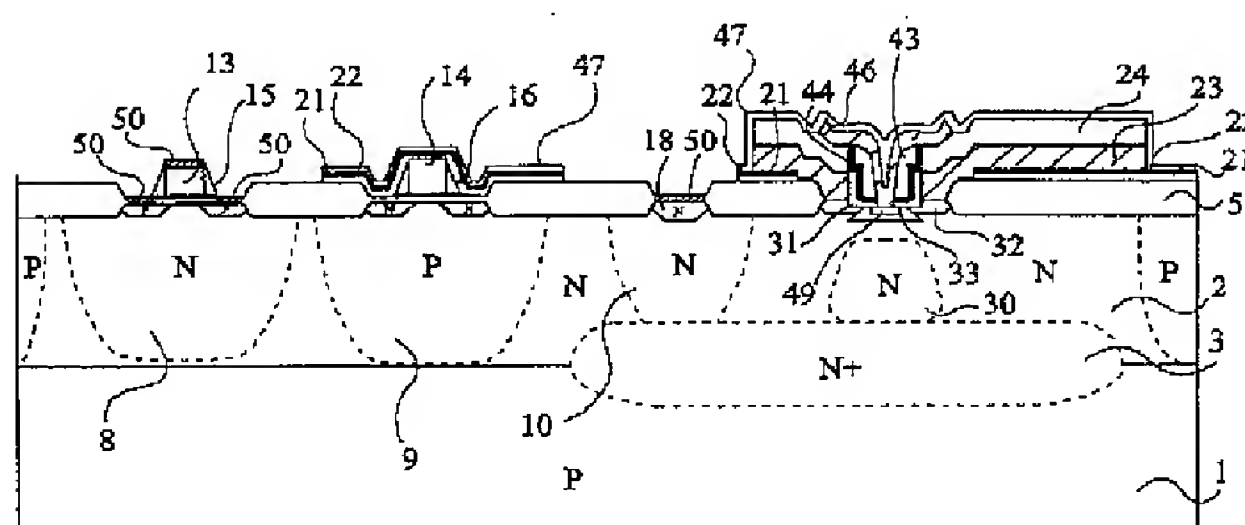
【図8】



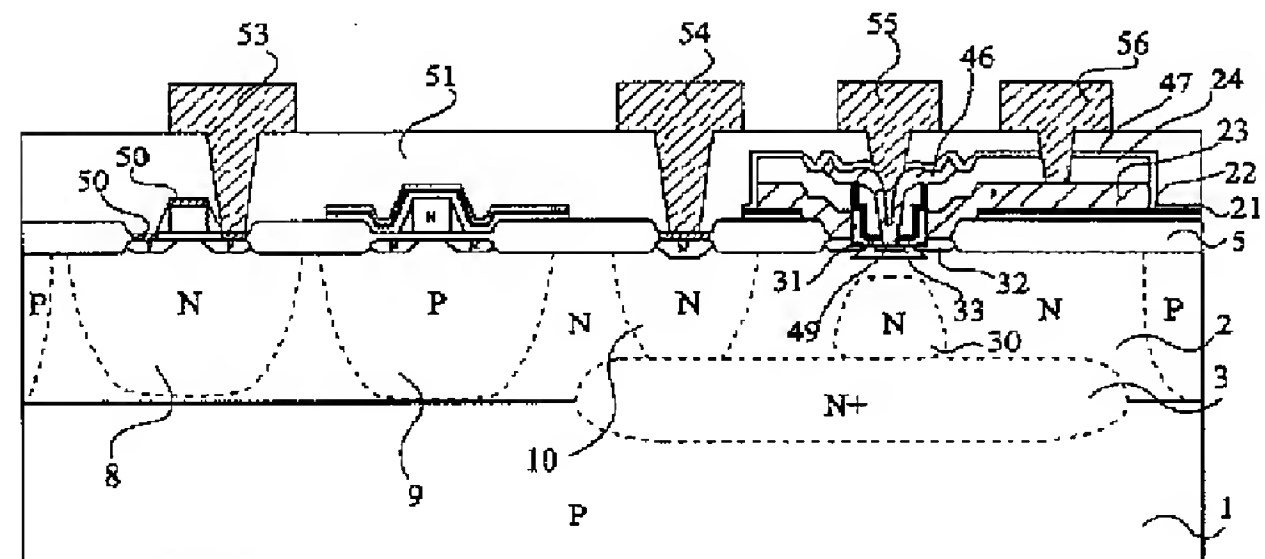
【図9】



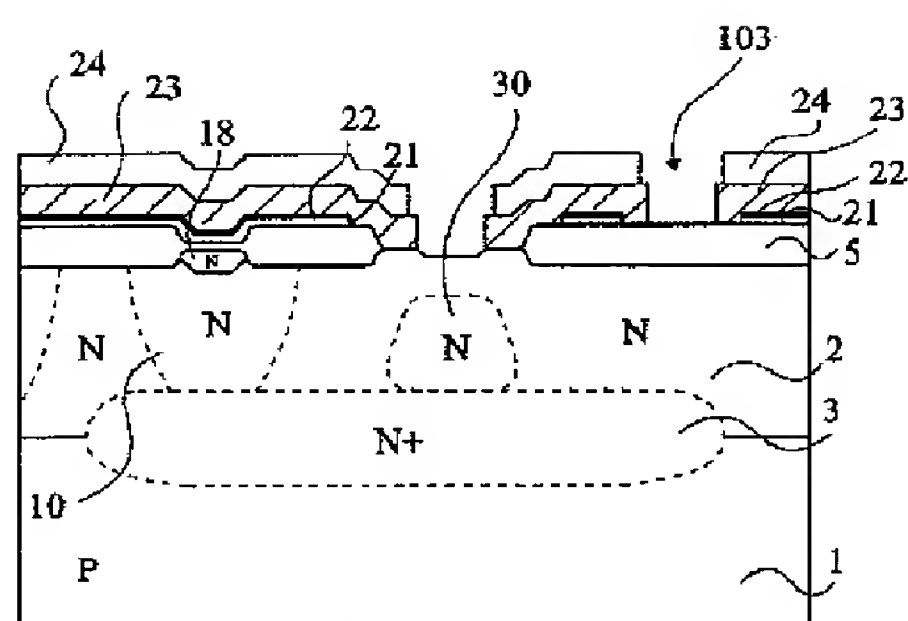
【図10】



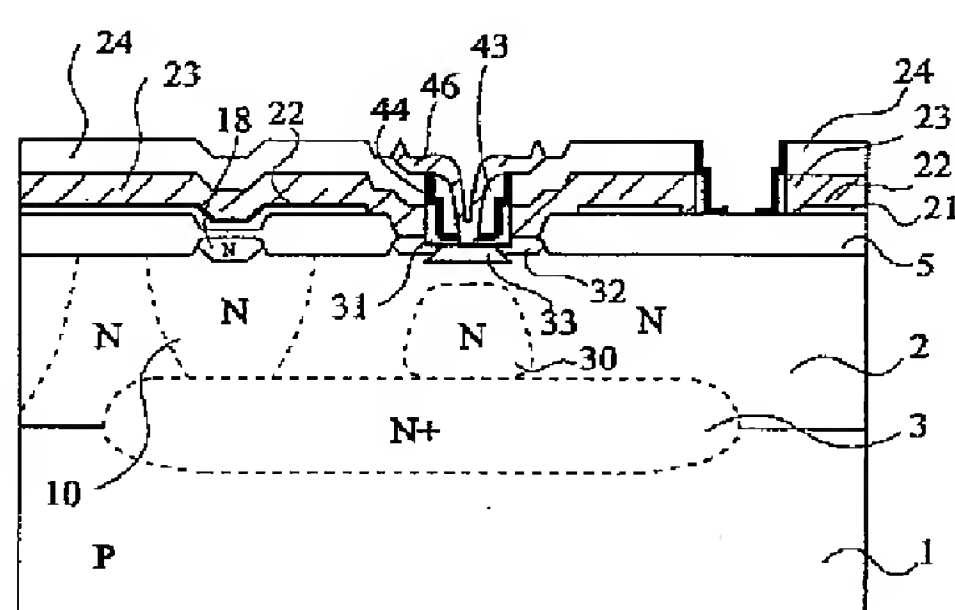
【図11】



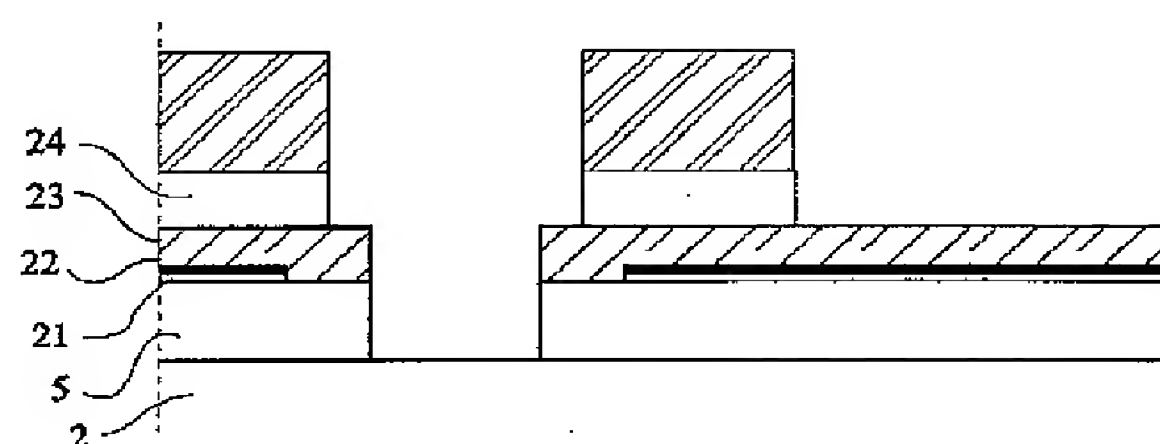
【图 15】



【图 17】

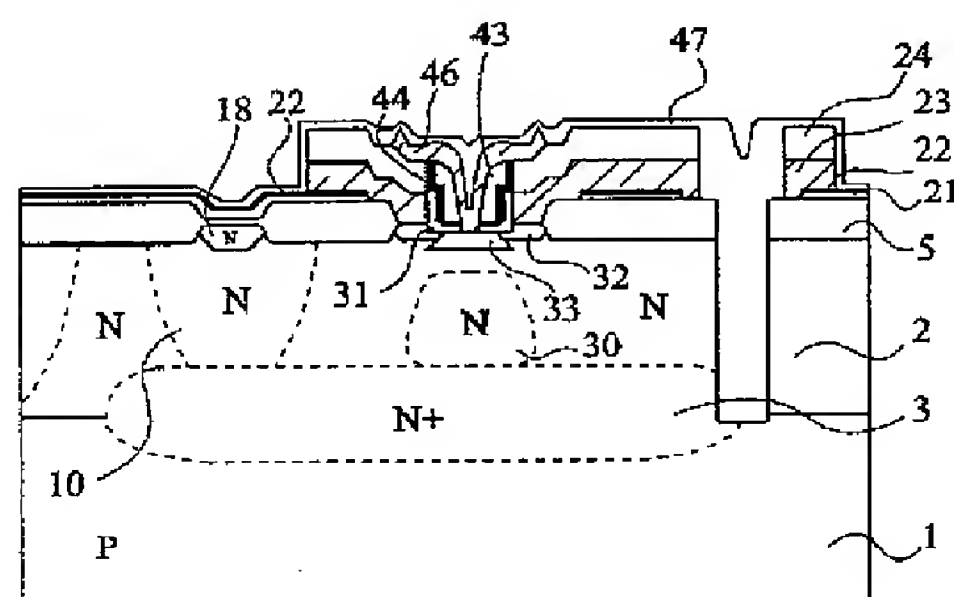


【图 19】



【例 2 1】

【図20】



フロントページの続き

(72)発明者 ジョスリーヌ ムーリエ
フランス国, 38120 サン エグレーブ,
リュ デュ ドラック, 36ビス番地

(72)発明者 ジェルメーヌ トルワラル
フランス国, 38100 グルノーブル,
ガルリー ドゥ ラルルカン, 64番地